

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151697

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 29/786
H01L 21/336
G02F 1/1368
H01L 21/20
H01L 21/268
H01L 27/08

(21)Application number : 2000-346736

(71)Applicant : SHARP CORP

(22)Date of filing : 14.11.2000

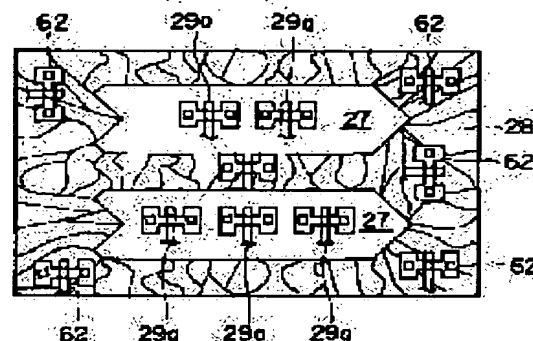
(72)Inventor : KUBOTA YASUSHI
WATAYA KIMIhide

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND IMAGE DISPLAY DEVICE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low-cost semiconductor integrated circuit together with a liquid-crystal display device using it, which comprises a plurality of thin-film transistors with different characteristics.

SOLUTION: A polycrystal silicon thin-film 27 which is formed by projecting laser to an amorphous silicon thin-film and a polycrystal silicon thin-film 28 which is formed with no laser irradiation are provided on a substrate. Thin-film transistors 29a are so formed that the shortest straight line between a source region and a drain region agrees with the crystal growth direction of the polycrystal silicon thin-film 27 grown by laser irradiation. Thin-film transistors 62 are formed without considering arrangement direction on the polycrystal silicon thin-film 28 where the crystal boundary is relatively large without laser radiation. A thin-film transistor 29a whose electron mobility in a carrier region is high constitutes a data signal line driving circuit while the thin-film transistor 62 in which the electron mobility in the carrier region is low for less leak current constitutes the switch of a pixel.



LEGAL STATUS

[Date of request for examination] 07.02.2003

[Date of sending the examiner's decision of rejection] 01.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

일본공개특허공보 평 14-151697호(2002.05.24) 1부.

[첨부그림 1]

(19) 日本国特許庁 (J-P)		(12) 公開特許公報 (A)		(11) 特許出願公開番号 特開2002-151697 (P2002-151697A)	
(43) 公開日: 平成14年5月24日 (2002.5.24)					
(51) Int.Cl.	特許記号	P.T.	ナット (参考)		
H01L 29/78		H01L 21/20	2110-9-2		
21/398		21/298	F 5P 0-4-8		
G02F 1/1368		27/08	3-9-1-E 5P 0-5-2		
H01L 21/20		29/78	6-2-7-C 5P 1-1-0		
21/298		G02F 1/126	5-0-0		
審査請求 大阪府 審査官の署名 OL (全16頁) 見出しに続く					
(61) 出願番号: 特願2000-345735 (P2000-345735)		(71) 出願人: 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号			
(62) 出願日: 平成12年11月14日 (2000.11.14)		(72) 発明者: 久保田 晴 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内			
		(73) 発明者: 鈴木 公寿 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内			
		(74) 代理人: 100062144 弁護士 青山 泰 (特1名)			

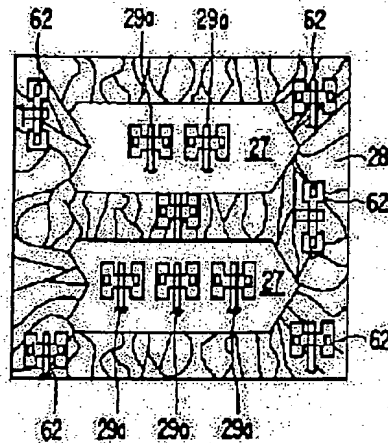
見出しに続く

(54) 【発明の名称】 半導体集積回路およびそれを用いた画像表示装置

【課題】 異なる特性を有する複数の薄膜トランジスタによって構成され、しかも安価な半導体集積回路と、それを用いた液晶表示装置を提供すること。

【解決手段】 基板上に、非晶質シリコン薄膜をレーザ照射して形成した多結晶シリコン薄膜27と、レーザ照射しないで形成した多結晶シリコン薄膜28とを設け、レーザ照射されてなる多結晶シリコン薄膜27の結晶成長方向に、ソース領域とドレイン領域との最短距離を結ぶ直線が一致するように薄膜トランジスタ29a、29b、29cを形成する。レーザ照射されなくて結晶成長が比較的大きい多結晶シリコン薄膜28には、配置方向を考慮することなく薄膜トランジスタ62、62...を形成する。

キャリア領域の電子移動度が大きい薄膜トランジスタ29aでデータ信号駆動回路を構成し、キャリア領域の電子移動度が小さくてリーク電流が小さい薄膜トランジスタ62で画素のスイッチを構成する。



[15-1]

【특許請求의範圍】

【請求項 1】 絶縁性基板上に形成された複数の薄型トランジスタを有する半導体集積回路において、

上記複数の薄型トランジスタは、複数の異なる結晶化方法によって作製された複数の半導体薄型積層域に形成されていることを特徴とする半導体集積回路、

【請求項 2】 請求項 1 に記載の半導体集積回路において、

上記複数の半導体薄型積層域の平均結晶粒徑の比が 2 以上であることを特徴とする半導体集積回路、

【請求項 3】 請求項 1 または 2 に記載の半導体集積回路において、

上記複数の半導体薄型積層域の電子移動度の比が 1.5 以上であることを特徴とする半導体集積回路、

【請求項 4】 請求項 1乃至3のいずれか 1つに記載の半導体集積回路において、

上記複数の半導体薄型積層域は、半導体薄型積層域の面積に対する薄型トランジスタを形成する領域の面積の割合が、互いに異なることを特徴とする半導体集積回路、

【請求項 5】 請求項 1乃至3のいずれか 1つに記載の半導体集積回路において、

上記複数の薄型トランジスタのうちの少なくとも 1つは、その薄型トランジスタのソース領域とド레인領域とを最短で結ぶ直線方向である薄型トランジスタの配置方向が、この薄型トランジスタが形成される半導体薄型積層域の結晶粒長方向と一致していることを特徴とする半導体集積回路、

【請求項 6】 請求項 1乃至5のいずれか 1つに記載の半導体集積回路において、

上記複数の半導体薄型積層域のうちの少なくとも 1つは、レーザによって結晶化されていることを特徴とする半導体集積回路、

【請求項 7】 請求項 1乃至5のいずれか 1つに記載の半導体集積回路において、

上記複数の半導体薄型積層域のうちの少なくとも 1つは、触媒金属を用いて結晶化されていることを特徴とする半導体集積回路、

【請求項 8】 請求項 1乃至7のいずれか 1つに記載の半導体集積回路において、

上記半導体集積回路は少なくとも第 1と第 2のブロックからなり、

上記第 1のブロックに含まれる複数の薄型トランジスタは、薄型トランジスタの配置方向が互いに略同一であり、

上記第 2のブロックに含まれる複数の薄型トランジスタは、薄型トランジスタの配置方向が互いに異なることを特徴とする半導体集積回路、

【請求項 9】 請求項 1乃至7のいずれか 1つに記載の半導体集積回路において、

上記半導体集積回路は少なくとも第 1と第 2のブロックからなり、

上記第 1のブロックに含まれる複数の薄型トランジスタは、結晶粒界が殆ど無い半導体薄型積層域に形成されており、

上記第 2のブロックに含まれる複数の薄型トランジスタは、結晶粒界を有する半導体薄型積層域に形成されていることを特徴とする半導体集積回路、

【請求項 10】 請求項 1乃至9のいずれか 1つに記載の半導体集積回路において、

上記半導体集積回路はロジック回路とアナログ回路を含む、

上記ロジック回路とアナログ回路は、異なる半導体薄型積層域に形成されていることを特徴とする半導体集積回路、

【請求項 11】 請求項 1乃至9のいずれか 1つに記載の半導体集積回路において、

上記半導体集積回路はスタティック回路とダイナミック回路を含む、

上記スタティック回路とダイナミック回路は、異なる半導体薄型積層域に形成されていることを特徴とする半導体集積回路、

【請求項 12】 絶縁性基板上に、画素トランジスタを有してマトリクス状に配置された画素部と、上記画素部の画素トランジスタをオンオフさせるゲートドライバと、上記画素部にデータを書き込むソースドライバとを有する薄型トランジスタ基板と、この薄型トランジスタ基板に對向して配置された対向基板と、上記薄型トランジスタ基板と対向基板との間に挿入される液晶層とからなる液晶表示装置において、

上記薄型トランジスタ基板が有する回路は、請求項 1乃至 11のいずれか 1つに記載の半導体集積回路からなることを特徴とする液晶表示装置、

【発明의詳細な説明】

【発明の属する技術分野】 本発明は、半導体集積回路およびそれを用いた液晶表示装置に関し、特に、アクティブマトリクス型の液晶表示装置に関する。

【00002】

【従来の技術】 この種の液晶表示装置として、図 1(a)に示すようなものがある。この液晶表示装置は、画素アレイ ARY と、走査信号駆動回路 GD と、データ信号線駆動回路 SD とプリチャージ回路 PC を備える。

【00003】 上記画素アレイ ARY には、互いに交差する複数の走査信号線 G_{Ln} (n=1, 2, 3, ...) と、複数のデータ信号線駆動回路 S_{Lm} (m=1, 2, 3, ...) とを備え、隣接する 2 本の上記走査信号線 G_{Ln} と、隣接する 2 本の上記データ信号線 S_{Lm} とで包囲された部分に、画素 P_{1x} がマトリクス状に配置されている。このマトリクス状に配置された画素 P_{1x} の 1 列に 1 本のデータ信号線 S_{Lm} が割り当てられ、 1 行に 1 本の

의走査信号線G.Lmが割り当てられている。

【0004】上記走査信号線駆動回路G.Dは、コントロール回路C.T.Lから送られた同期信号Q.CK・Q.ENおよびスタートパルスGSTに基づいて、上記走査信号線G.Lmに走査信号を書き込む像をする。上記データ信号線駆動回路S.Dは、同期信号S.CKおよびスタートパルスS-STに基づいて、入力された映像信号D.A.Tを必要に応じて増幅して、データ信号線S.Lnに転送する像をする。また、プリチャージ回路P.Cは、データ信号線駆動回路S.Dに先だって、制御信号P.C.Tに基づいて、入力されたプリチャージレベル信号P.S.Gをデータ信号線S.Lnに書き込むことにより、映像信号D.A.Tの転送の負担を軽減する像をする。

【0005】図14は、上記画素P.I.Xを示す図である。画素P.I.Xは、スイッチング素子であるトランジスタSWと、液晶容量C.Lと補助容量C.Sからなる画素容量C.Pとによって構成されている。ここで、補助容量C.Sは、アクティブマトリクス型の液晶表示装置において画像の表示を安定させるための、液晶容量C.Lに並行して付加する容量であり、液晶容量C.LとトランジスタSWのリーク電流や、トランジスタSWのゲート・ソース間容量や画素電極・信号線間の寄生容量による画素電位の変動、液晶容量C.Lの表示データ依存性等の影響を、短時間に加える働きを有する。

【0006】上記トランジスタSWのゲートは、上記走査信号線G.Lmに接続されている。また、上記液晶容量C.Lおよび補助容量C.Sの一方の電極は、トランジスタSWのドレインおよびソースを介して上記データ信号線S.Lnに接続されている。上記液晶容量C.Lの他方の電極は、液晶セルを隔んで対向電極に接続され、補助容量C.Sの他方の電極は、全画素に共通の図示しない共通電極に、または隣接する走査信号線G.Lmに接続されている。

【0007】上記構成の液晶表示装置において、表示信号(データ)が、データ信号線駆動回路S.Dからデータ信号線S.Lnを介して1画素毎に、あるいは1水平走査期間にオンされる走査線(1Hライン)に書き込まれる画素毎に、出力される。一方、上記走査信号線駆動回路G.Dから走査信号線G.Lmを介して出力された走査信号によって、所定の画素P.I.XのトランジスタSWがオンされて、上記データ信号線駆動回路S.Dから出力された表示信号が、上記画素P.I.Xの画素容量C.Pに電荷として書き込まれる。この電荷は画素容量C.Pによって増幅されて、この電荷によって、液晶の透過率が変動されて、液晶表示装置に所定の画像が表示される。

【0008】なお、上記のデータ信号線駆動回路S.Dには、逐次駆動方式と線順次駆動方式とがある。

【0009】図15は、逐次駆動方式のデータ信号線駆動回路S.D1を示す図である。このデータ信号線駆動回路S.D1では、入力されたスタートパルスSTが、

直列接続された複数のフリップフロップFF1によって構成されたシフトレジスタによって、同期信号S.CKに同期して順次シフトされる。上記シフトレジスタでシフトされたリリスが、NAND回路やインバータ回路等で構成されたバッファ回路B.Fを経て、サンプリングスイッチAS1に与えられて、サンプリングスイッチAS1が閉じる。これによって、映像信号線から入力された映像信号D.A.Tが、サンプリングスイッチAS1を経てデータ信号線S.Ln($n=1, 2, 3, \dots$)に転送される。

【0010】逐次駆動方式のデータ信号線駆動回路S.D1は、映像信号D.A.Tを、サンプリングスイッチAS1を介してデータ信号線S.Lnに出力するので、駆動回路としての規模が比較的小さい。しかし、データ信号線S.Lnへのデータの書き込み時間が遅いので、液晶表示装置の大画面化に対応しにくい。

【0011】図16は、線順次駆動方式のデータ信号線駆動回路S.D2を示す図である。このデータ信号線駆動回路S.D2は、所定の水平走査期間において、映像信号線から入力された映像信号D.A.TがサンプリングスイッチAS2によってサンプリングされた後、サンプリング容量C1に一旦書き込まれる。そして、次の水平走査期間に、上記サンプリング容量C1に書き込まれたデータが、データ転送信号T.F.Qに同期して動作するサンプリングスイッチAS3を介してバッファアンプAMに転送され、このバッファアンプAMによってデータ信号線S.Ln($n=1, 2, 3, \dots$)に書き込まれる。

【0012】上記線順次駆動方式のデータ信号線駆動回路S.D2は、一旦サンプリングした1走査分の映像信号を、バッファアンプAMによって一括してデータ信号線S.Lnに書き込むので、駆動回路の規模は大きくなる。一方、表示信号をデータ信号線S.Lnに書き込む時間は1走査期間の間であり、データの書き込み時間が十分に与えられるので、液晶表示装置の大画面化に対応できる。

【0013】図17は、走査信号線駆動回路G.Dを示す図である。この走査信号線駆動回路G.Dにおいて、入力されたスタートパルスGSTが、同期信号Q.CKに基づいて、直列接続された複数のフリップフロップFF3から構成されるシフトレジスタによって順次シフトされ、隣接する2つのシフトレジスタからのパルスの和信号と、信号幅を決定する同期信号Q.ENとの論理合成によって、走査信号が生成される。この走査信号が、複数のインバータ回路により構成されたバッファ回路を介して、走査信号線G.Lm($m=1, 2, 3, \dots$)に出力される。

【0014】上記走査信号線駆動回路G.Dは、バッファ回路にレベルシフタを内蔵して、走査信号の出力振幅を大きくする場合もある。

【0015】図18は、アクティブマトリクス型の液晶表示

装置の多くは、ガラス基板上に形成した非晶質シリコンを用いて薄膜トランジスタを形成し、この薄膜トランジスタによって上記画素アレイARRAYを構成していた。この画素アレイARRAYの画素PIXを駆動する走査信号線駆動回路GDOおよびデータ信号線駆動回路SD等は、半導体集積回路であるドライバIC(集積回路)に形成し、このドライバICを上記ガラス基板に外付けしていた。

【0010】近年、液晶表示装置の小型化や、信頼性向上、コスト低減等を実現するために、走査信号線駆動回路GDOやデータ信号線駆動回路SD及びプリチャージ回路PCを、画素アレイARRAYの基板と同一の基板上に形成すること、すなわち、モノリシックの半導体集積回路によって形成することが開発されてきた。

【0011】上記同一の基板上に形成する駆動回路GDO、SDや画素PIXの駆動素子として、単結晶または多結晶、非晶質のいずれかのシリコン薄膜を用いて、電界効果型の薄膜トランジスタを形成することが考えられる。この場合、ガラス基板上に比較的大面積のシリコン薄膜を形成する必要があり、走査信号線駆動回路GDOやデータ信号線駆動回路SD、およびプリチャージ回路PCは高い駆動力が要求される。したがって、上記薄膜トランジスタは、比較的大きな面積に、低温プロセスによって電子移動度が大きいシリコン膜が得られるという利点を有する多結晶のシリコン薄膜を用いる場合が多い。

【0012】従来の多結晶シリコン薄膜を用いた薄膜トランジスタは、図18に示すような構造を有する。この薄膜トランジスタは、無アルカリガラス等からなる絶縁基板101上に形成されている。この絶縁基板101上に、多結晶シリコン薄膜からなるチャネル領域103、ソース領域104およびドレイン領域105が設けられている。上記チャネル領域103の上には、ゲート絶縁膜107を介してゲート電圧108が配置され、ソース領域104およびドレイン領域105は、その上に形成されたシリコン酸化膜110を通過する金属配線によって、上記シリコン酸化膜110上の電極112、113に接続されて、電界効果型のトランジスタを構成している。

【0013】上記薄膜トランジスタの多結晶シリコン薄膜を形成する方法としては、複数の方法がある。これらの複数の方法は、いずれも絶縁基板101上に成膜した非晶質シリコン薄膜を結晶化して多結晶シリコン薄膜を形成する。上記非晶質シリコンを結晶化する方法の違いによって、得られる多結晶シリコン薄膜の結晶性が異なる。したがって、多結晶シリコン薄膜を用いた薄膜トランジスタの特性も、結晶化方法に応じて異なったものになる。

【0014】例えば、レーザ光を所定方向に移動させながら照射して非晶質シリコン薄膜を結晶化すると、上記レーザ光の移動方向にシリコンの結晶が成長されて、

上記レーザ光の移動方向に、特に大きい電子移動度を有する多結晶膜が得られる。この電気移動度が大きい方向に、ソース領域からドレイン領域を結ぶ直線を一致させて薄膜トランジスタを形成すると、チャネル領域の電子移動度が大きくなって、良好な特性を有する薄膜トランジスタが得られる。

【0015】このようにして形成した多結晶シリコン薄膜を用いて薄膜トランジスタを形成し、この薄膜トランジスタによって半導体集積回路を形成して、液晶表示装置を作製する。すなわち、絶縁基板上に、所定方向の電子移動度が大きい多結晶シリコン薄膜を形成して、上記所定方向にソース領域からドレイン領域を結ぶ直線を一致させて薄膜トランジスタを形成する。この薄膜トランジスタを用いて、データ信号線駆動回路SDや走査信号線駆動回路GDO、プリチャージ回路PC、画素アレイARRAYを含む半導体集積回路を形成する。こうして、動作速度が速い駆動回路SD、GDOを有する液晶表示装置が得られる。

【0016】

【発明が解決しようとする課題】しかしながら、上記液晶表示装置の半導体集積回路を構成する薄膜トランジスタは、画素アレイARRAYにおける画素PIXについて、画素容量CPの電荷の保持能力が低いという問題がある。この問題は、画素PIXのトランジスタSWにおいて、多結晶シリコン薄膜の電子移動度が大きいので、トランジスタSWのオフ時のドレイン電流、すなわちリーク電流が比較的大きくなって、その結果、画素PIXにおける画素容量CPの電荷の保持能力が低下したことに起因する。

【0017】すなわち、一つの結晶化方法によって、データ信号線駆動回路SDと走査信号線駆動回路GDO、プリチャージ回路PC、画素アレイARRAYの全てに通じた特性を有する薄膜トランジスタを形成することは、非常に難しい。このような薄膜トランジスタを、一つの結晶化方法によって作製しようとする、回路構成の変更や、結晶化方法の複雑化等招いて、液晶表示装置の製造コストの上昇につながる。

【0018】そこで、この発明の目的は、異なる特性を有する複数の薄膜トランジスタによって構成され、しかも安価な半導体集積回路と、その半導体集積回路を用いた安価な液晶表示装置を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するための、第1の発明の半導体集積回路は、絶縁性基板上に形成された複数の薄膜トランジスタを有する半導体集積回路において、上記複数の薄膜トランジスタは、複数の異なる結晶化方法によって形成された複数の半導体薄膜領域に形成されていることを特徴としている。

【0020】上記構成によれば、上記半導体集積回路が有する複数の薄膜トランジスタは、例えばオフ時のリー

크電流が小さいことや、スイッチ動作が高速であることなどの保持すべき特性に対応して、その特性に適した結晶化方法によって形成された複数の半導体薄膜領域に形成される。その結果、半導体集積回路の複数の薄膜トランジスタは、各々保持すべき特性が与えられて、半導体集積回路の性能が向上される。

【0027】1実施形態では、上記複数の半導体薄膜領域の平均結晶粒径の比が2以上である。

【0028】上記実施形態によれば、上記複数の半導体薄膜領域の平均結晶粒径の比が2以上であるので、上記複数の半導体薄膜領域に形成される複数の薄膜トランジスタは、例えば閾値電圧やバースレッシュホールド電圧などの特性が確実に異なるので、各々が保持すべき特性を有する複数の薄膜トランジスタが、効果的に作製される。

【0029】なお、上記複数の半導体薄膜領域の平均結晶粒径の比が2以下であると、複数の半導体薄膜領域の特性は均一になってしまって、上記複数の半導体薄膜領域に形成する複数の薄膜トランジスタの特性が均一になってしまう。そうすると、複数の薄膜トランジスタの特性が、各々が保持すべき特性を有しなくなって、複数の薄膜半導体を作製する効果が無くなってしまふ。

【0030】1実施形態では、上記複数の半導体薄膜領域の電子移動度の比が1.5以上である。

【0031】上記実施形態によれば、上記複数の半導体薄膜領域の電子移動度の比が1.5以上であるので、上記複数の半導体薄膜領域に作製された複数の薄膜トランジスタの特性は大いに異なるから、上記複数の薄膜トランジスタは各々保持すべき特性に適合した特性になる。

【0032】なお、上記複数の半導体薄膜領域の電子移動度の比が1.5以下であると、複数の半導体薄膜領域の特性は均一になってしまって、上記複数の半導体薄膜領域に形成する複数の薄膜トランジスタの特性が均一になってしまう。そうすると、複数の薄膜トランジスタの特性が、各々保持すべき特性を有しなくなって、複数の薄膜半導体を作製する効果が無くなってしまふ。

【0033】1実施形態では、上記複数の半導体薄膜領域は、半導体薄膜領域の面積に対する薄膜トランジスタを形成する領域の面積の割合が、互いに異なる。

【0034】上記実施形態によれば、上記複数の半導体薄膜領域のうちの少なくとも1つは、結晶性が良好であるが、この半導体薄膜領域の全体の面積に対して薄膜トランジスタを形成可能な面積の割合が非常に小さく、かつ、作製コストが非常に高い場合がある。また、上記複数の半導体薄膜領域のうちの少なくとも1つは、結晶性が比較的悪いが、この半導体薄膜領域の殆ど全ての面積に薄膜トランジスタを形成可能であり、かつ、作製コストが比較的安価な場合がある。上記半導体集積回路において、良好な特性を保持すべきトランジスタは、上記良好な結晶性を有して高価な半導体薄膜領域に作製される。一方、良好な特性が必要でないトランジスタは、上

記比較的悪い結晶性を有して安価な半導体薄膜領域に作製される。その結果、上記半導体集積回路は、保持すべき性能を有し、かつ、安価に作製される。

【0035】1実施形態では、上記複数の半導体薄膜領域に形成される複数の薄膜トランジスタのうち少なくとも1つの薄膜トランジスタは、この薄膜トランジスタのソース領域とドレイン領域とを隣接して結ぶ直線方向である薄膜トランジスタの配置方向が、この薄膜トランジスタが形成される半導体薄膜領域の結晶成長方向と一致している。

【0036】上記実施形態によれば、上記複数の薄膜トランジスタのうち少なくとも1つは、薄膜トランジスタの配置方向が、この薄膜トランジスタを形成する半導体薄膜領域の結晶成長方向と、すなわち、半導体薄膜領域の電子移動度が大きい方向と一致している。したがって、上記薄膜トランジスタは、比較的良質なトランジスタ特性を有する。なお、この薄膜トランジスタは、作製コストが高い。上記半導体集積回路において、比較的良質なトランジスタ特性が必要であるトランジスタのみが、その配置方向が上記半導体薄膜領域の結晶成長方向と一致する薄膜トランジスタであり、比較的良質なトランジスタ特性が必要でないトランジスタは、その配置方向を半導体薄膜領域について考慮しない。したがって、上記半導体集積回路は、所定の性能が効果良く得られ、かつ、安価になる。

【0037】1実施形態では、上記複数の半導体薄膜領域のうちの少なくとも1つは、レーザによって結晶化されている。

【0038】上記実施形態によれば、上記複数の半導体薄膜領域のうちの少なくとも1つは、レーザによって結晶化されて、比較的良質な結晶性を有する。なお、この半導体薄膜領域は作製コストが比較的高い。上記半導体集積回路において、比較的良質なトランジスタ特性が必要な薄膜トランジスタのみが、上記レーザによって結晶化された半導体薄膜領域に形成されるので、上記半導体集積回路は、所定の性能が効果良く得られ、かつ、安価に作製される。

【0039】1実施形態では、上記複数の半導体薄膜領域のうちの少なくとも1つは、触媒金属を用いて結晶化されている。

【0040】上記実施形態によれば、上記複数の半導体薄膜領域のうちの少なくとも1つは、触媒金属を用いて結晶化されて、比較的良質な結晶性を有する。なお、この半導体薄膜領域は、作製する手間がかかるので作製コストが比較的高い。上記半導体集積回路において、比較的良質なトランジスタ特性が必要な薄膜トランジスタのみが、上記触媒金属を用いて結晶化された半導体薄膜領域によって形成されるので、上記半導体集積回路は、所定の性能が効果良く得られ、かつ、安価に作製される。

【0041】1実施形態では、上記半導体集積回路は少

なくとも第1と第2のブロックからなり、上記第1のブロックに含まれる複数の薄膜トランジスタは、薄膜トランジスタの配置方向が互いに同一であり、上記第2のブロックに含まれる複数の薄膜トランジスタは、薄膜トランジスタの配置方向が互いに異なる。

【0042】上記実施形態によれば、上記第1のブロックが、例えば高速の回路動作が必要である場合、この第1ブロックを構成する複数の薄膜トランジスタの配置方向を、互いに同一とし、かつ、半導体薄膜領域の結晶成長方向に一致させて、動作速度が速い薄膜トランジスタを形成する。この第1ブロックを構成する複数の薄膜トランジスタは、高速である。一方、上記第2のブロックが、例えばリーク電流が低いことが必要である場合、この第2ブロックを構成する複数の薄膜トランジスタの配置方向を、互いに異なるように、かつ、半導体薄膜領域の結晶成長方向に異ならせて、リーク電流が低い薄膜トランジスタを形成する。この第2ブロックを構成する複数の薄膜トランジスタは、安価である。このように、異なる特性が必要である第1および第2のブロックにおいて、各々のブロックが保持すべき特性に対応して上記複数の半導体薄膜領域を形成し、これらの半導体薄膜領域に、配置方向が異なる上記複数の薄膜トランジスタを作製するので、上記半導体集積回路は効率よく適切な性能になり、かつ安価になる。

【0043】1実施形態では、上記半導体集積回路は少なくとも第1と第2のブロックからなり、上記第1のブロックに含まれる複数の薄膜トランジスタは、結晶粒界が殆ど無い半導体薄膜領域に形成されており、上記第2のブロックに含まれる複数の薄膜トランジスタは、結晶粒界を有する半導体薄膜領域に形成されている。

【0044】上記実施形態によれば、例えば高速の動作速度が必要で上記第1のブロックは、結晶粒界が殆ど無い半導体薄膜領域に形成した複数の薄膜トランジスタによって構成する。なお、上記結晶粒界が殆ど無い半導体薄膜領域は、作製コストが比較的高い。一方、例えばリーク電流が少ないことが必要な上記第2のブロックは、結晶粒界を有する半導体薄膜領域に形成した複数の薄膜トランジスタによって構成する。なお、上記結晶粒界を有する半導体薄膜領域は、作製コストが比較的安い。このようにして、上記第1および第2の両方のブロックは、各々保持すべき特性が効率的に得られて、第1および第2ブロックからなる半導体集積回路が良好な性能になり、かつ、安価になる。

【0045】1実施形態では、上記半導体集積回路はロジック回路とアナログ回路を含み、上記ロジック回路とアナログ回路は、異なる半導体薄膜領域に形成されている。

【0046】上記実施形態によれば、比較的高い駆動能力が必要である上記ロジック回路の薄膜トランジスタは、例えば結晶粒界が殆ど無い半導体薄膜領域に形成す

る。一方、リーク電流が少ないことが必要である上記アナログ回路の薄膜トランジスタは、例えば結晶粒界の多い半導体薄膜領域に形成する。このようにして、上記半導体集積回路のロジック回路とアナログ回路を、各々適切な特性を有する薄膜トランジスタによって構成することによって、高い性能を有する半導体集積回路が得られる。

【0047】1実施形態では、上記半導体集積回路はスタティック回路とダイナミック回路を含み、上記スタティック回路とダイナミック回路は、異なる半導体薄膜領域に形成されている。

【0048】上記実施形態によれば、上記半導体集積回路のスタティック回路とダイナミック回路は、要求される回路特性が互いに異なるので、スタティック回路を構成する薄膜トランジスタとダイナミック回路を構成する薄膜トランジスタは、要求されるトランジスタ特性が互いに異なる。これらの要求されるトランジスタ特性に対応して、スタティック回路を構成する薄膜トランジスタとダイナミック回路を構成する薄膜トランジスタを、互いに異なる半導体薄膜領域に形成する。このようにして、上記半導体集積回路のスタティック回路とダイナミック回路を、各々適切な薄膜トランジスタによって構成することによって、高い性能を有する半導体集積回路が得られる。

【0049】第2の発明の液晶表示装置は、絶縁性基板の上に、画素トランジスタを有してマトリクス状に配置された画素部と、上記画素部の画素トランジスタをオンオフさせるゲートドライバと、上記画素部にデータを書き込むソースドライバとを有する薄膜トランジスタ基板と、この薄膜トランジスタ基板に對向して配置された対向基板と、上記薄膜トランジスタ基板と対向基板との間に挿入される液晶層とからなる液晶表示装置において、上記薄膜トランジスタ基板が有する回路は、上記半導体集積回路からなることを特徴としている。

【0050】上記構成によれば、薄膜トランジスタ基板に形成する画素トランジスタや、ゲートドライバ、ソースドライバなどの回路を構成する薄膜トランジスタを、これらの回路が各々保持すべき特性に対応して、所定の結晶性を有する複数の半導体薄膜領域に形成する。これによって、薄膜トランジスタ基板上の複数の回路の全てが保持すべき特性を有して、液晶表示装置の性能が向上される。また、上記複数の回路の全てに適合する薄膜トランジスタを形成する必要がないから、薄膜トランジスタ基板上に安価に回路が形成できて、液晶表示装置が安価になる。

【0051】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

【0052】（実施例1）実施例1では、本発明の薄膜トランジスタを形成する半導体薄膜領域について説明す

る。

【0053】図1は、本発明の第1の半導体薄膜領域としての多結晶シリコン薄膜を形成する工程を示す図である。図1に示すように、基板1上に形成した非晶質シリコン薄膜2に、エキシマレーザ光4を帯型形状に照射すると共に、上記基板1を、エキシマレーザ光4の長手方向の直角方向に、矢印Aで示すように移動させる。これによって、上記非晶質シリコン薄膜2を、パルスレーザであるエキシマレーザ光4でアニールして結晶化して、多結晶シリコン薄膜を形成する。この多結晶シリコン薄膜は、エキシマレーザ光4が照射された上記帯型形状の長手方向中央に対応する部分が、上記帯型形状の長手方向に向って比較的均一な大きさの結晶を有する。しかし、上記多結晶シリコン薄膜の上記エキシマレーザ光4を移動させた方向の結晶性が不均一であるので、多結晶シリコン薄膜全体としては、結晶性が比較的悪い。

【0054】図2(a)は、本発明の第2の半導体薄膜領域としての多結晶シリコン薄膜を形成する工程を示す図である。この多結晶シリコン薄膜は、図2(a)に示すように、基板21上の非晶質シリコン薄膜22に、エキシマレーザ光23を、マスク24を用いてV字型に照射しながら矢印Bで示すように移動させて形成する。図2(b)に示すように、上記エキシマレーザ光23を、上記基板21の短手方向に2列に亘って照射して、図2(c)に示すような2つの多結晶シリコン薄膜27、27を形成する。この多結晶シリコン薄膜27、27は、結晶境界が小さく、良好な結晶性を有する。一方、上記エキシマレーザ光23を照射しなかった部分の多結晶シリコン薄膜28は、粒徑が小さい多くの結晶を有し、結晶性が比較的悪い。

【0055】図3は、本発明の第3の半導体薄膜領域としての多結晶シリコン薄膜を形成する工程を示す図である。この多結晶シリコン薄膜は、基板31上に形成された非晶質シリコン薄膜32をアニール炉に入れて、発熱体34からの熱によって熱アニールして形成する。この多結晶シリコン薄膜は、基板31上の時全面に均一な粒徑の結晶を有する。しかし、第3の半導体薄膜領域としての多結晶シリコン薄膜は、上記熱アニールにかかる時間が、数時間から数十時間がかかって製造効率が低く、結晶性も比較的悪い。なお、上記熱アニールは、赤外線による熱アニールでもよい。

【0056】図4(a)は、本発明の第4の半導体薄膜領域としての多結晶シリコン薄膜を形成する工程を示す図である。この多結晶シリコン薄膜は、基板41上の非晶質シリコン薄膜42に、ニッケルなどの融媒金属の添加領域44を設け、この基板41をアニール炉で加熱して形成する。図4(b)に示すような2つの帯型形状の融媒金属の添加領域44、44を配置して熱アニールすると、図4(c)に示すような多結晶シリコン薄膜45、45が得られる。この多結晶シリコン薄膜45、4

5の結晶は、上記融媒金属の添加領域44、44の外縁に対して直角方向に向って結晶成長している。この結晶成長方向の電子移動度が大きい。一方、上記結晶成長方向に直角な方向は、電子移動度が小さい。また、上記多結晶シリコン薄膜45に形成した融媒金属を結晶化後に完全に除去しないと、多結晶シリコン薄膜45を用いて形成したトランジスタに、残留した上記融媒金属に起因するリーク電流が流れるという問題がある。また、上記多結晶シリコン薄膜45、45が得られる範囲は、基板41において、上記融媒金属の添加領域44、44から所定の距離の範囲に限られる。また、上記融媒金属の添加領域44、44には、トランジスタを形成することができない。さらに、多結晶シリコン薄膜45を作製する工程において、融媒金属の添加領域44、44を形成する工程が必要であり、上記第1乃至第3の半導体薄膜領域としての多結晶シリコン薄膜を作製する工程よりも、工程数が多くて、作製コストが高い。

【0057】図5(a)は、本発明の第5の半導体薄膜領域としての多結晶シリコン薄膜を形成する工程を示す図である。この多結晶シリコン薄膜は、基板51上の予めパターンニングされた非晶質シリコン薄膜52の1部に融媒金属を添加して、熱アニールによって、上記融媒金属を添加した部分から結晶成長させて形成する。図5(b)に示すようにパターンニングした2つの非晶質シリコン薄膜52、52において、図5(b)の左側端部に融媒金属添加領域54、54を設ける。この非晶質シリコン薄膜52、52を熱アニールすると、上記融媒金属添加領域54、54から非晶質シリコンの結晶化が始まり、この結晶化が図5(b)の左側に向って進行する。このとき、結晶境界の成長が、非晶質シリコン薄膜52、52の外縁で阻止されて、図5(c)における右側の矩形部分56a、56aが単一の結晶になって、多結晶シリコン薄膜56、56が得られる。この多結晶シリコン薄膜56、56は、上記矩形部分56a、56aの結晶性が極めて良好であるが、非晶質シリコン薄膜52、52をパターンニングする手間と、融媒金属添加領域54、54を形成する手間がかかり、作製コストが高いという問題がある。

【0058】本発明の半導体集積回路において、1つの基板1上に、上記第1乃至第5の半導体薄膜領域のうちの複数の半導体薄膜領域を形成し、これらの半導体薄膜領域を用いて複数の薄膜トランジスタを作製する。

【0059】例えば、図1(a)に示すような画素アレイAR-Yと、走査信号駆動回路QDと、データ信号駆動回路SDとプリチャージ回路PCを、1つの基板1上に形成して、液晶表示装置に用いる半導体集積回路を形成する。ここにおいて、図1(a)および図1(b)に示す画素PIXは、画素容量CPの電荷保持力が高いことが最も重要である。したがって、上記画素PIXのトランジスタSWを、上記第1の半導体薄膜領域によって作製す

る。第1の半導体導膜領域は電子移動度が比較的小さいので、この半導体導膜領域を用いて作製した導膜トランジスタは、動作速度は遅いが、オフ時のリーク電流が少ない。その結果、上記画素部1×は、画素電圧CPの電荷保持力が高くなって、この画素部1×からなる画素アレイARは、安定した画像が表示できる。

【0050】一方、上記導膜トランジスタ基板に形成するデータ信号線駆動回路50は、上記画素部1×に書き込む映像信号をデータ信号線SLに出力するので、高速に回路動作できることが最も重要である。したがって、上記データ信号線駆動回路50を構成する導膜トランジスタを、上記第5の半導体導膜領域によって作製する。第5の半導体導膜領域は、極めて大きい電子移動度を有するので、この半導体導膜領域を用いて作製した導膜トランジスタは、動作速度が非常に速い。その結果、上記データ信号線駆動回路50の回路動作を高速にできる。

【0051】このようにして、1つの基板上に第1および第5半導体導膜領域の複数の半導体導膜領域を形成して、特性が異なる複数の導膜トランジスタを作製し、これらの特性が異なる導膜トランジスタによって画素アレイARおよびデータ信号線駆動回路50とを構成することによって、導膜トランジスタ基板上の半導体素子回路の性能を向上させることができる。

【0052】なお、上記第1の半導体導膜領域と、第5の半導体導膜領域は、平均結晶粒径の比が2以上であり、かつ、電子移動度の比が1:5以上である。このように、平均結晶粒径の比が2以上であり、かつ、電子移動度の比が1:5以上であって、特性の差が比較的大きい2つの半導体導膜領域を1つの基板上に形成することによって、特性が顕著に異なる複数の導膜トランジスタを形成できる。つまり、異なる特性が要求される複数の回路に対して、それぞれの回路に最適な導膜トランジスタを的確に、かつ効果的に作製できる。

【0053】(実施例2) 実施例2では、実施例1の複数の半導体導膜領域によって作製された導膜トランジスタについて説明する。

【0054】図6(a)は、上記第2の半導体導膜領域の多結晶シリコン導膜27、27に、導膜トランジスタ29a、29bを形成した様子を示す図である。なお、上記導膜トランジスタ29a、29bは、配置された方向が容易に判るように、大きさを誇張して示している。上記多結晶シリコン導膜27には微小な結晶粒界が存在し、この結晶粒界は、レーザアニールを行った際のレーザの移動方向、つまり矢印Cで示す方向を向いている。上記多結晶シリコン導膜27は、上記結晶粒界が向く方向と略同じ方向に、大きい電子の移動度を有する。一方、上記結晶粒界が向く方向に直角の方向は、電子の移動度が小さい。したがって、この多結晶シリコン導膜27に形成されて、ソース領域とドレイン領域とを島状で

結ぶ直線方向であるトランジスタの配置方向を、上記矢印Cの方向と略同じにした導膜トランジスタ29aは、ソース領域およびドレイン領域間のキャリアの移動速度が大きいから、動作速度が速い。一方、トランジスタの配置方向を、上記矢印Cの方向と直角にした導膜トランジスタ29bは、動作速度が比較的遅い。

【0055】図6(b)は、上記第4の半導体導膜領域の多結晶シリコン導膜45、45に、導膜トランジスタ47a、47a、47b、47bを形成した様子を示した図である。上記多結晶シリコン導膜45は、矢印Dで示す方向を向いた結晶粒界を有するので、この方向の電子移動度が比較的大きい。一方、多結晶シリコン導膜45の上記矢印Dに対して直角方向の電子移動度は比較的小さい。したがって、トランジスタの配置方向を、上記矢印Dの方向と略同じにした導膜トランジスタ47aは、動作速度が比較的速い。一方、トランジスタの配置方向を、上記矢印Dの方向と直角にした導膜トランジスタ47bは、動作速度が比較的遅い。

【0056】図7は、上記第5の半導体導膜領域の多結晶シリコン導膜56、56に、導膜トランジスタ58a、58bを形成した様子を示す図である。この多結晶シリコン導膜56の図7において右側の矩形部分58aは、単結晶であるので、結晶粒界が存在しない。したがって、上記多結晶シリコン導膜56の上記矩形部分58aに形成する導膜トランジスタは、配置方向をいずれの方向に向けてもチャネル領域のキャリア移動速度が略同じであるから、導膜トランジスタ58a、58bの動作速度は略同じであり、かつ、高速である。

【0057】ところで、上記多結晶シリコン導膜56、56は、非晶質シリコン導膜を結晶化して上記矩形部分58aに単結晶の部分形成する際、上記矩形部分58aに結晶粒界が生じないようにするために、矩形部分58aの大きさが所定の大きさ1に制限される。したがって、上記矩形部分58aの幅が小さい方向に一致させて、長手方向を形成した導膜トランジスタ58aは、トランジスタ58aの大きさによってソース領域およびドレイン領域の一部が欠けてしまうなどの問題が生じる場合がある。

【0058】図8(a)は、上記第2の半導体導膜領域の多結晶シリコン導膜27、27に、動作速度が速い導膜トランジスタ29a、29aのみを形成した様子を示す図である。すなわち、全ての導膜トランジスタ29a、29aは、その配置方向を矢印Cで示す多結晶シリコン導膜27の微小な結晶粒界方向と略同じにして、上記導膜トランジスタ29a、29aのチャネル領域のキャリア移動度が大きくなるようにしている。

【0059】図8(b)は、上記第4の半導体導膜領域の多結晶シリコン導膜45、45に、動作速度が速い導膜トランジスタ47a、47a、47b、47bのみを形成した様子を示す図である。すなわち、全ての導膜ト

ランジスタ47a, 47b, 47c, 47dが、その配置方向が矢印で示す多結晶シリコン薄膜45の結晶粒界方向と略同じであって、大きいキャリアの移動速度が得られるようにしている。

【0070】このようにして、1つの半導体薄膜領域において、半導体薄膜領域の結晶粒界の方向と略同じ配置方向を有し、かつ、配置方向が互いに略同じである複数の薄膜トランジスタを形成することによって、略同じ速度で動作してトランジスタ特性が略同一で、しかも、高速動作ができる複数の薄膜トランジスタを得ることができる。

【0071】図9は、上記第2の半導体薄膜領域の多結晶シリコン薄膜27, 27と、この多結晶シリコン薄膜27, 27と同一の基板上にあって、上記多結晶シリコン薄膜27, 27よりも多くの結晶粒界を有する多結晶シリコン薄膜28を用いて、複数の薄膜トランジスタを形成した様子を示す図である。上記多くの結晶粒界を有する多結晶シリコン薄膜28は、図2(a)に示す非晶質シリコン薄膜22にレーザ光25を直接照射しないで結晶化した部分であり、多くの結晶粒界を有するので電子移動度が比較的小さい。上記多結晶シリコン薄膜27, 27には、配置方向が互いに略同一の複数の薄膜トランジスタ29a, 29b, ...を形成し、上記多結晶シリコン薄膜28には、配置方向が異なる複数の薄膜トランジスタ62, 62, ...を形成する。上記多結晶シリコン薄膜27, 27の微小な結晶粒界の方向と略同一の方向にしているので、動作速度が比較的速い。一方、上記多結晶シリコン薄膜28の複数の薄膜トランジスタ62, 62, ...は、多くの結晶粒界を有する多結晶シリコン薄膜28に形成されているので、動作速度が比較的遅い。なお、上記多結晶シリコン薄膜28は、結晶粒界の方向が不規則であるので、何れかの方向に薄膜トランジスタ62を形成しても、その動作速度は比較的遅い。上記動作速度が比較的早い薄膜トランジスタ29a, 29b, ...によって速い動作速度が要求される回路を構成し、上記動作速度が比較的遅い薄膜トランジスタ62, 62, ...によって、リーク電流への高い耐性が要求される回路を構成する。このようにして、1つの基板上に、異なる特性を有する複数の回路を、安価かつ効果的に作製することができる。

【0072】なお、上記多結晶シリコン薄膜28の複数の薄膜トランジスタ62, 62, ...は、配置方向が略同じであってよい。

【0073】(実施例3) 実施例3では、上記実施例1の半導体薄膜領域によって作製した薄膜トランジスタを用いて構成した半導体集積回路について説明する。

【0074】図10は、本発明の半導体集積回路としてのアナログ回路を示す回路図である。このアナログ回路はア

ナログ回路であり、上記アナログ回路に入力される信号11の電位は連続的に変化する。この電位の変化量は微小な場合がある。したがって、ゲート電極に信号11が入力されるトランジスタTR1, TR1や、アンプ回路を構成するトランジスタTR2, TR2, ...は、動作特性が略同一で、かつ、リーク電流が少ないことが必要である。このことから、上記トランジスタTR1, TR2を形成する半導体薄膜領域は、半導体薄膜の特性が略同一であることが必要である。したがって、図9に示した第2の半導体薄膜領域としての多結晶シリコン薄膜28において、略同一特性を有する薄膜トランジスタ8aおよび8bが、アナログ回路を構成するトランジスタTR1, TR2として好適である。

【0075】図11は、本発明の半導体集積回路としてのソフトレジスタ回路を示す図である。このソフトレジスタ回路は、ロジック回路であるので、回路動作が、0および1に対応する不連続な信号で制御される。したがって、上記ソフトレジスタを構成するトランジスタTR3, TR3, ...は、動作特性の微小な違いや、リーク電流は大きな問題にならず、むしろ、動作速度を早めるために、駆動能力が大きいたことが必要である。このことから、上記トランジスタTR3を形成する半導体薄膜領域は、半導体薄膜の特性が略同一であることよりも、電子移動度が高いことが必要である。したがって、図9(b)に示した第4の半導体薄膜領域としての多結晶シリコン薄膜45において、配置方向が、結晶粒界の方向である矢印Dの方向とほぼ同じである薄膜トランジスタ47aが、ロジック回路を構成するトランジスタTR3として好適である。

【0076】上記アナログ回路とロジック回路とを、同一の基板上に設けて半導体集積回路として形成する場合、1つの基板上に非晶質シリコン薄膜を成長し、この非晶質シリコン薄膜を、上記アナログ回路を形成する領域と、上記ロジック回路を形成する領域とで、異なる方法で結晶化する。すなわち、上記アナログ回路を形成する領域は、図2(a)に示す工程と同様に、非晶質シリコン薄膜を照射形状がV字型のエキシマレーザ光によって結晶化して、図2(c)に示す多結晶シリコン薄膜27と同様の多結晶シリコン薄膜を形成する。一方、上記ロジック回路を形成する領域は、図4(b), (c)に示すものと同様に、非晶質シリコン薄膜に触媒金属添加膜層を設けて熱アニールして、多結晶シリコン薄膜45と同様の多結晶シリコン薄膜を形成する。

【0077】その後、上記エキシマレーザ光によって結晶化した多結晶シリコン薄膜に、微小な結晶粒界の方向に対して直角な配置方向の薄膜トランジスタTR1, TR2を形成して、この薄膜トランジスタTR1, TR2によって上記アナログ回路を構成する。また、上記触媒金属層を用いて熱アニールによって結晶化した多結晶シリコン薄膜に、結晶粒界の方向と略平行な配置方向の薄膜

트ランジスタT.R.3を形成して、この増幅トランジスタT.R.3によって上記ロジック回路を構成する。

【0078】このようにして、互いに異なる特性を有する複数の回路を、複数の半導体増幅領域から作製した複数の増幅トランジスタT.R.1、T.R.2、T.R.3によって構成することによって、半導体集積回路の全てを同一の増幅トランジスタによって形成するよりも、半導体集積回路を安価に、しかも、高性能にできる。

【0079】ところで、図11に示したシフトレジスタ回路は、スタティック回路型であり、図12は、ダイナミック回路型のシフトレジスタ回路を示す回路図である。

【0080】上記スタティック回路型のシフトレジスタ回路は、上記ダイナミック回路型のシフトレジスタ回路に比べる場合、ロジック回路の特性と同様な特性が必要である。すなわち、スタティック回路は、常に安定状態を保持できる回路構造を有するので、スタティック回路を構成するトランジスタT.R.3は、動作特性が多少不均一でもよい。また、リーク電流を多少有していてもよい。上記スタティック回路のトランジスタT.R.3は、速い動作速度が必要であるから、駆動能力が大きいことが最も重要である。したがって、図8(b)に示した第4の半導体増幅領域としての多結晶シリコン増幅45において、配置方向が、結晶粒界の方向である矢印Dの方向とは反対である増幅トランジスタ47aが、スタティック回路を構成するトランジスタT.R.3として好適である。

【0081】一方、上記ダイナミック回路型のシフトレジスタ回路は、回路が一時的に電気的浮遊状態になる。したがって、上記浮遊状態の間回路の信号電位を維持する必要があるので、ダイナミック回路を構成するトランジスタT.R.4は、リーク電流が小さいことが必要である。なお、ダイナミック回路は、回路の負荷がスタティック回路よりも小さいので、ダイナミック回路のトランジスタT.R.4は、スタティック回路のトランジスタT.R.3よりも駆動特性が小さくてよい。したがって、リーク電流が比較的小さい図1(a)に示した第1の半導体増幅領域を用いて作製した増幅トランジスタが、ダイナミック回路を構成するトランジスタT.R.4として好適である。

【0082】上記スタティック回路とダイナミック回路とを、同一の基板の上に設けて半導体集積回路として形成する場合、1つの基板の上に非晶質シリコン薄膜を成膜し、この非晶質シリコン薄膜を、上記スタティック回路を形成する領域と、上記ダイナミック回路を形成する領域とで、異なる方法で結晶化する。すなわち、上記スタティック回路を形成する領域は、図4(b)、(c)に示したものと同様に、非晶質シリコン薄膜に触媒金属添加領域を設けて熱アニールして、多結晶シリコン薄膜45と同様の多結晶シリコン薄膜を形成する。一方、上記

ダイナミック回路を形成する領域は、図1に示す工程と同様に、非晶質シリコン薄膜を帯型形状のエッチマレーザ光によって結晶化して、多結晶シリコン薄膜を形成する。

【0083】この後、上記触媒金属を用いて熱アニールによって形成した多結晶シリコン薄膜に、結晶粒界の方向に略平行な配置方向の増幅トランジスタT.R.3を形成して、この増幅トランジスタT.R.3によって上記スタティック回路を構成する。また、上記エッチマレーザ光によって結晶化した多結晶シリコン薄膜に増幅トランジスタT.R.4を形成して、この増幅トランジスタT.R.4によって上記ダイナミック回路を構成する。

【0084】このようにして、半導体集積回路を構成して互いに異なる特性を有する複数の回路を、複数の半導体増幅領域によって作製した複数の増幅トランジスタT.R.3、T.R.4によって構成することによって、半導体集積回路を安価に、しかも、高性能にできる。

【0085】なお、上記半導体集積回路は、この半導体集積回路を構成する回路およびブロックが保持すべき特性に応じて、この回路およびブロックの増幅トランジスタを、上記第1乃至第5のいずれか1つの半導体増幅領域によって作製してもよい。

【0086】また、本発明は、添付表示装置以外の、例えば半導体メモリなどの他の装置にも適用できる。

【0087】【発明の効果】以上より明らかなように、第1の発明の半導体集積回路は、絶縁性基板上に形成された複数の増幅トランジスタを有する半導体集積回路において、上記複数の増幅トランジスタは、複数の異なる結晶化方法によって形成された複数の半導体増幅領域に形成されるので、上記複数の増幅トランジスタは、保持すべき特性に対応する結晶化方法で形成された複数の半導体増幅領域に作製して、所定の特性にできるから、上記半導体集積回路の性能を効果的に向上できる。

【0088】1実施形態では、上記複数の半導体増幅領域の平均結晶粒径の比が2以上であるので、上記複数の増幅トランジスタに確実に異なる特性を与えることができる。

【0089】1実施形態では、上記複数の半導体増幅領域の電子移動度の比が1.5以上であるので、上記複数の増幅トランジスタに確実に異なる特性を与えることができる。

【0090】1実施形態では、上記複数の半導体増幅領域は、半導体増幅領域の面積に対する増幅トランジスタを形成する領域の面積の割合が互いに異なり、例えば結晶性が比較的良好で高価であるが、半導体増幅領域の面積に対して増幅トランジスタが形成可能な面積の割合が小さい半導体増幅領域がある一方、結晶性が比較的悪く安価であるが、半導体増幅領域の面積に対して増幅トランジスタが形成可能な面積の割合が大きい半導体増幅

積層とがある。上記半導体集積回路の導膜トランジスタが保持すべき特性に対応して、上記半導体導膜積層の面積に対する導膜トランジスタを形成する積層の面積の割合が互いに異なる複数の半導体導膜積層を用いて導膜トランジスタが作製されているので、上記半導体集積回路は、適切な特性の導膜トランジスタによって構成でき、適切な性能に、かつ、安価にできる。

【0091】1実施形態では、上記複数の半導体導膜積層に形成される複数の導膜トランジスタのうちの少なくとも1つの導膜トランジスタは、この導膜トランジスタのソース領域とドレイン領域とを結ぶ直線方向である導膜トランジスタの記置方向が、この導膜トランジスタが形成される半導体導膜積層の結晶成長方向と一致しているため、比較的良い導膜トランジスタ特性を有し、この導膜トランジスタを、上記半導体集積回路において比較的良い導膜トランジスタ特性が必要なものみに用いるので、半導体集積回路が効率的に、かつ、安価に作製できる。

【0092】1実施形態では、上記複数の半導体導膜積層のうちの少なくとも1つは、レーザによって結晶化されて比較的良い結晶性を有するので、この半導体導膜積層によって作製された導膜トランジスタは比較的良い特性を有する。

【0093】1実施形態では、上記複数の半導体導膜積層のうちの少なくとも1つは、無機金属を用いて結晶化されているので、この半導体導膜積層によって作製された導膜トランジスタは比較的良い特性を有する。

【0094】1実施形態では、上記半導体集積回路は少なくとも第1と第2のブロックからなり、上記第1のブロックに含まれる複数の導膜トランジスタは、導膜トランジスタの記置方向が互いに略同一であり、上記第2のブロックに含まれる複数の導膜トランジスタは、導膜トランジスタの記置方向が互いに異なるので、異なる特性が必要である第1および第2のブロックにおいて、上記異なる特性に対応して上記複数の導膜トランジスタの記置方向を異ならせることによって、上記第1および第2のブロックを適切な特性の導膜トランジスタによって構成できるから、上記半導体集積回路を適切な性能に、かつ、安価にできる。

【0095】1実施形態では、上記半導体集積回路は少なくとも第1と第2のブロックからなり、上記第1のブロックに含まれる複数の導膜トランジスタは、結晶粒界が殆ど無い半導体導膜積層に形成されており、上記第2のブロックに含まれる複数の導膜トランジスタは、結晶粒界を有する半導体導膜積層に形成されているので、保持すべき特性が異なる上記第1および第2のブロックにおいて、異なる2つの半導体導膜積層を用いて、各々のブロックに適切な特性を有する複数の導膜トランジスタを形成するから、上記半導体集積回路を適切な性能に、かつ、安価にできる。

【0096】1実施形態では、上記半導体集積回路はロジック回路とアナログ回路を含み、上記ロジック回路とアナログ回路は、異なる半導体導膜積層に形成されているので、保持すべき特性が互いに異なる上記半導体集積回路のロジック回路とアナログ回路とを、互いに異なる半導体導膜積層によって作製して適切な特性を有する複数の導膜トランジスタによって構成できるから、半導体集積回路の性能を、効率的に高くできる。

【0097】1実施形態では、上記半導体集積回路はスタティック回路とダイナミック回路を含み、上記スタティック回路とダイナミック回路は、異なる半導体導膜積層に形成されているので、保持すべき特性が互いに異なる上記半導体集積回路のスタティック回路とダイナミック回路とを、互いに異なる半導体導膜積層によって作製して適切な特性を有する複数の導膜トランジスタによって構成できるから、半導体集積回路の性能を、効率的に向上させる。

【0098】第2の発明の液晶表示装置は、絶縁性基板の上に、画素トランジスタを有してマトリクス状に配置された画素部と、上記画素部の画素トランジスタをオンオフさせるゲートドライバと、上記画素部にデータを書き込むソースドライバとを有する導膜トランジスタ基板と、この導膜トランジスタ基板に対向して配置された対向基板と、上記導膜トランジスタ基板と対向基板との間に挿入される液晶層とからなる液晶表示装置において、上記導膜トランジスタ基板が有する回路は、上記半導体集積回路からなるので、上記導膜トランジスタ基板が有する複数の回路の全てを適切な性能にでき、かつ、導膜トランジスタ基板の回路を安価に形成できるから、液晶表示装置を良好な性能に、かつ、安価にできる。

【図1】 この発明の第1の半導体導膜積層を形成する工程の簡略な説明

【図2】 図2(a)、(b)、(c)は、第2の半導体導膜積層を形成する工程を示す図である。

【図3】 第3の半導体導膜積層を形成する工程を示す図である。

【図4】 図4(a)、(b)、(c)は、第4の半導体導膜積層を形成する工程を示す図である。

【図5】 図5(a)、(b)、(c)は、第5の半導体導膜積層を形成する工程を示す図である。

【図6】 図6(a)は、第2の半導体導膜積層に、導膜トランジスタ2a、2bを形成した様子を示す図であり、図6(b)は、第4の半導体導膜積層に、導膜トランジスタ4a、4b、4c、4d、4e、4f、4gを形成した様子を示した図である。

【図7】 第5の半導体導膜積層に、導膜トランジスタ5a、5bを形成した様子を示す図である。

【図8】 図8(a)は、第2の半導体導膜積層に、動作電圧が低い導膜トランジスタ2a、2bのみを形

成した様子を示した図であり、図8(b)は、第4の半導体薄膜領域に、動作速度が速い薄膜トランジスタ(29a, 29b, 29c, 29d)のみを形成した様子を示す図である。

【図9】 第2の半導体薄膜領域の多結晶シリコン薄膜(27, 27)と、多結晶シリコン薄膜(27, 27)よりも多くの結晶粒界を有する多結晶シリコン薄膜(28)とを用いて、複数の薄膜トランジスタを形成した様子を示す図である。

【図10】 本発明の半導体素子回路としてのアンプ回路を示す回路図である。

【図11】 本発明の半導体素子回路としてのシフトレジスタ回路を示す図である。

【図12】 ダイナミック回路型のシフトレジスタ回路を示す回路図である。

【図13】 液晶表示装置が有する回路を示す図である。

【図14】 図13の面A-P1Xを示す図である。

【図15】 液晶表示装置の第1駆動方式のデータ信号駆動回路を示す図である。

【図16】 液晶表示装置の第2駆動方式のデータ信号駆動回路を示す図である。

【図17】 液晶表示装置の定電流駆動回路を示す図である。

【図18】 多結晶シリコン薄膜を用いた薄膜トランジスタを示す図である。

【符号の説明】

27 多結晶シリコン薄膜

28 結晶粒界を有する多結晶シリコン薄膜

29a 薄膜トランジスタ

29b 薄膜トランジスタ

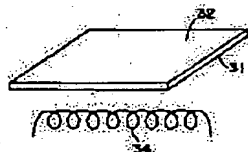
29c 薄膜トランジスタ

29d 薄膜トランジスタ

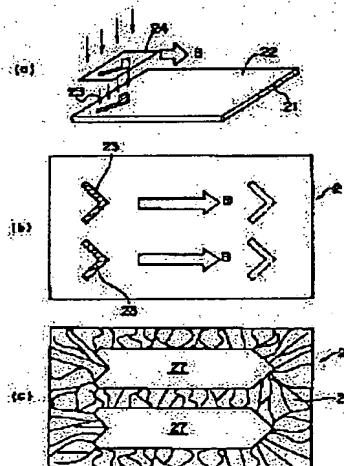
【図1】

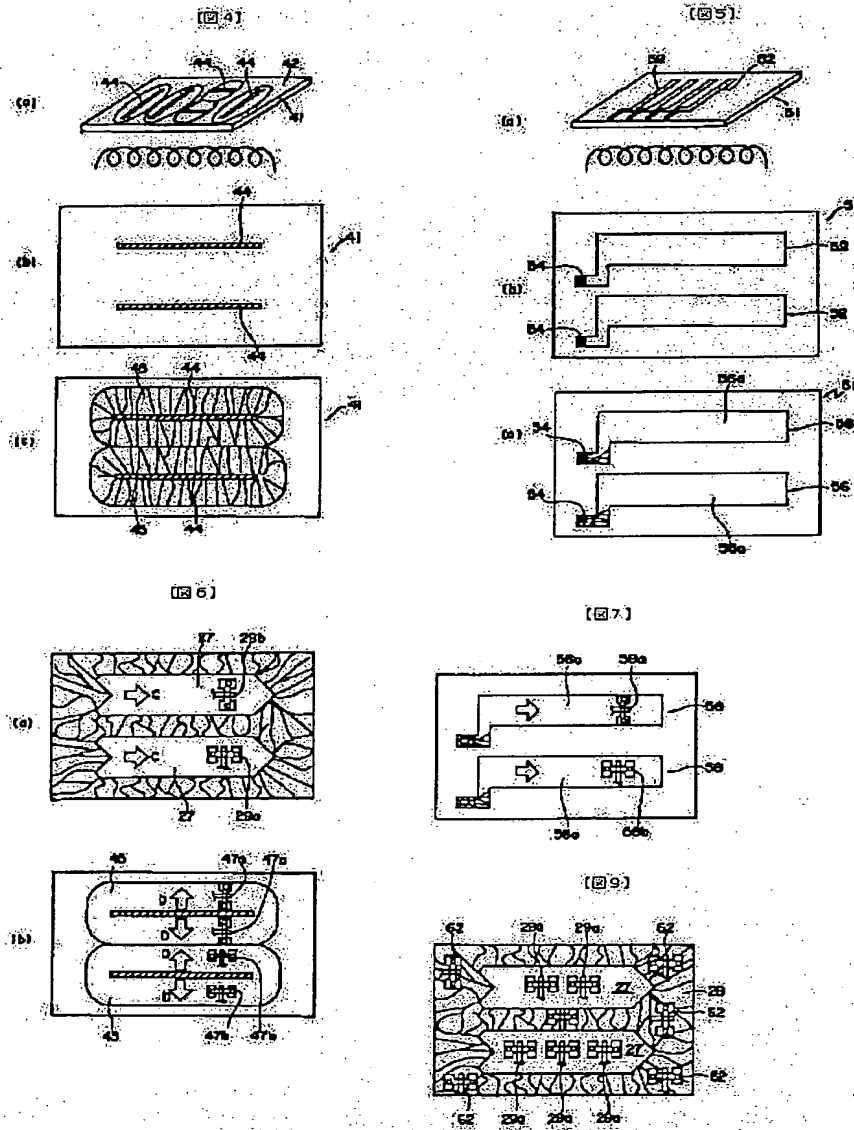


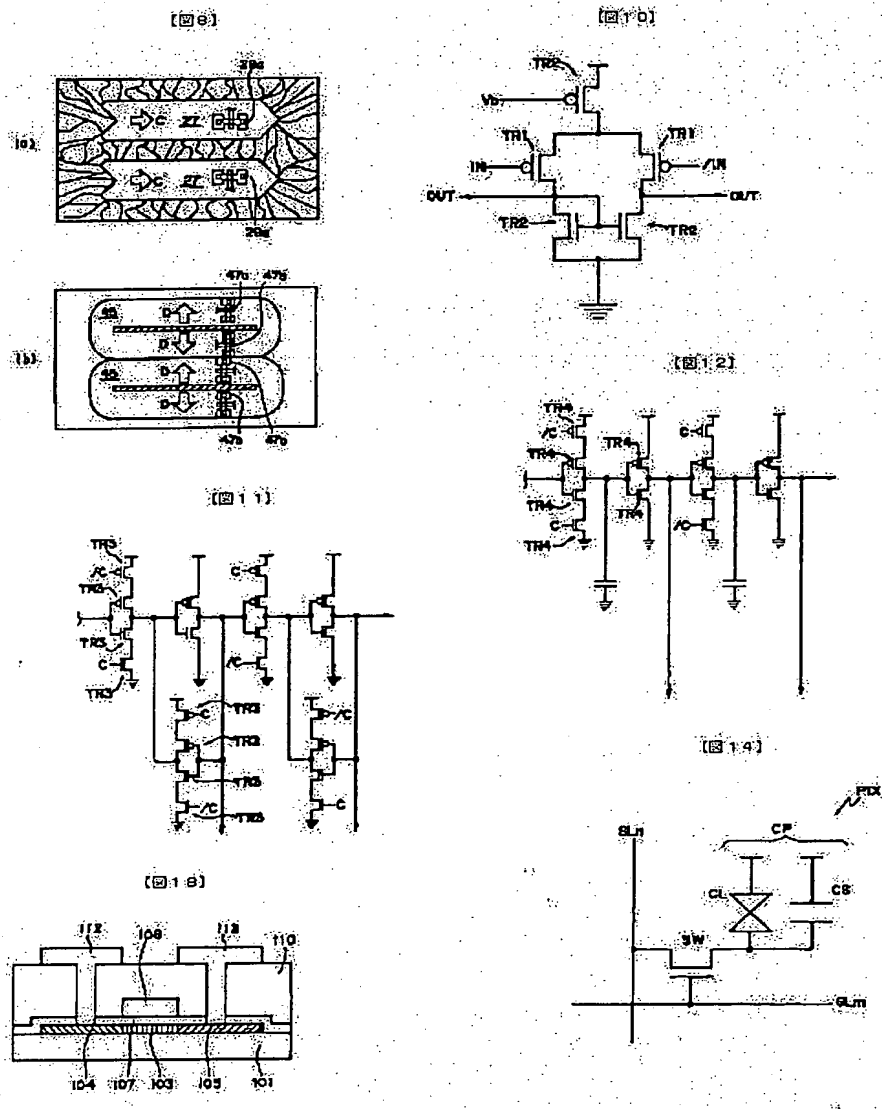
【図3】



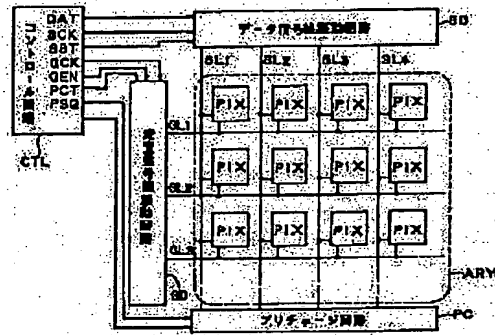
【図2】



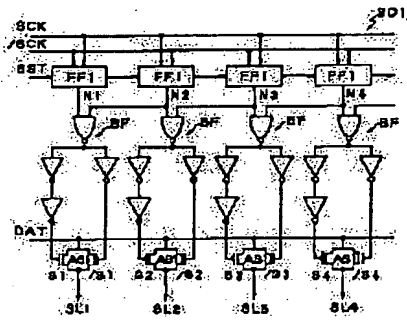




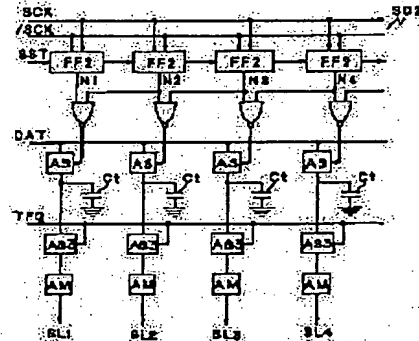
[그림 13]



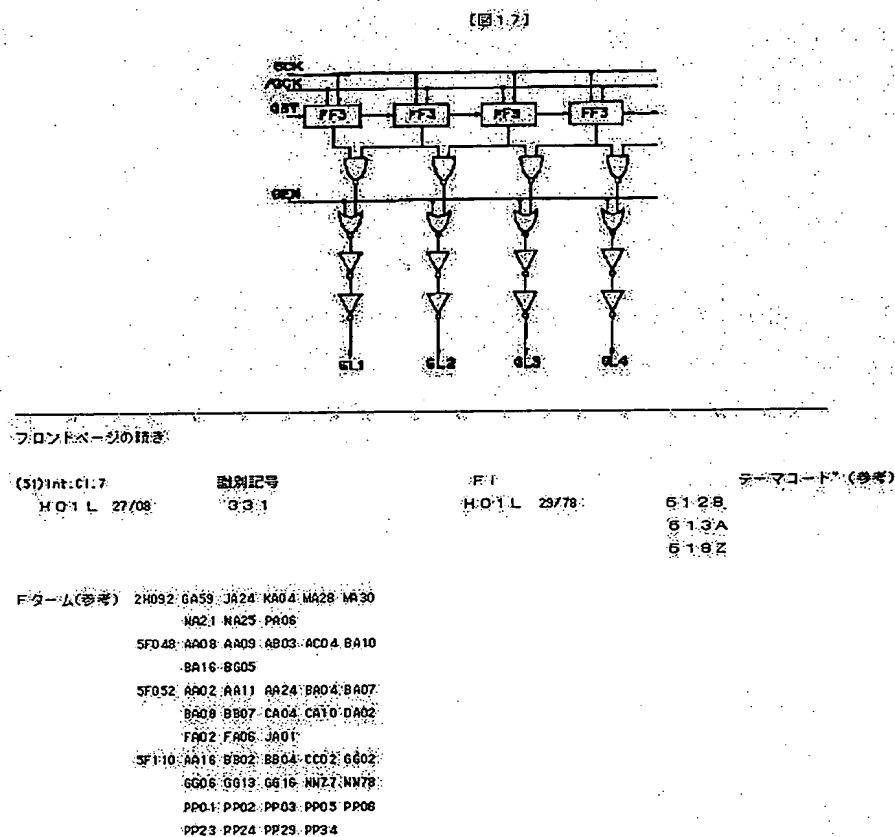
[그림 14]



[그림 15]



[첨부그림 16]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.